

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] The field-effect transistor characterized by having established the source and a drain field in Si semi-conductor substrate, and forming the gate dielectric film which consists of oxide which contains two or more kinds of metals chosen from rare earth elements on said Si substrate in the field-effect transistor which comes to have a gate electrode on between the source and a drain field through gate dielectric film.

[Claim 2] The field-effect transistor according to claim 1 characterized by being the solid solution which the oxide containing two or more kinds of metals chosen from said rare earth elements becomes from the oxide of rare earth elements stable as trivalent [at least one or more kinds of], and the oxide of rare earth elements stable as at least one or more kinds of tetravalence.

[Claim 3] The field-effect transistor according to claim 2 characterized by the ratio of rare earth elements stable as trivalent being in the range of 0.2 to 0.4 in the solid solution which consists of an oxide of rare earth elements stable as trivalent [said], and an oxide of rare earth elements stable as tetravalence.

[Claim 4] One or more kinds of oxides of rare earth elements stable as trivalent [said] are chosen from any of Dy₂O₃, EuO₃ and La₂O₃, Pr₂O₃, Nd₂O₃, Sm₂O₃, Gd₂O₃, Tb₂O₃, Tm₂O₃, Yb₂O₃, Lu₂O₃, and Y₂O₃ they are. The field-effect transistor according to claim 2 to 3 characterized by having chosen one or more kinds of oxides of rare earth elements stable as said tetravalence from CeO₂, TbO₂, or PrO₂, and forming said solid solution.

[Claim 5] The field-effect transistor according to claim 1 characterized by crystal-face bearing carrying out priority orientation to the direction (111) in the oxide containing two or more kinds of metals chosen from said rare earth elements.

[Claim 6] The field-effect transistor according to claim 5 by which it was being [the priority (111) amount of preferred orientation of crystal-face bearing / 90% or more] characterized in the oxide containing two or more kinds of metals chosen from said rare earth elements.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the field-effect transistor of MOS and metal-insulator-semiconductor structure with respect to a semiconductor device.

[0002]

[Description of the Prior Art] Improvement in the speed and high integration of LSI have been advanced by detailed-ization of the MOS mold field-effect transistor (FET:Field-Effective-Transistor) by the scaling law. It has made it possible for this to keep the property of a component normal at the time of detailed-izing by reducing the dimension of the height direction and a longitudinal direction for each part of MOS mold field-effect transistors, such as an insulator layer and gate length, to coincidence, and to improve the engine performance.

[0003] According to the scaling law, detailed-izing of an MOS mold field-effect transistor is being enhanced, and, as for SiO₂ gate dielectric film, thickness 2nm or less is demanded of the next-generation MOS mold field-effect transistor in A.D. 2000 and afterwards. However, this thickness field is thickness in which direct tunnel current begins to flow, cannot perform control of leakage current and cannot avoid problems, such as an increment in power consumption. Therefore, it is required to earn physical thickness and to suppress leakage current, holding down silicon oxide conversion effective thickness to 2nm or less using an ingredient with a dielectric constant higher than SiO₂. Moreover, in an MOS mold field-effect transistor, with control of leakage current, since it is a field-effect transistor, especially Si interface property is important. Therefore, the gate dielectric film which is a high dielectric constant and can hold an interface property good is needed.

[0004] High dielectric materials, such as TiO₂ used as gate dielectric film and ZrO₂, form membranes on Si substrate using a spatter or a CVD method. However, amorphous layers formed in an interface with Si substrate of heat treatment of the time of membrane formation or after that, such as silicon oxide (SiO_x) of a low dielectric constant and silicate, reduce the capacity between a substrate/gate, and there is a big trouble that it is difficult to form the gate where conversion thickness is small enough.

[0005] In recent years, a high dielectric constant and low leakage current are reported, using a rare earth oxide as gate dielectric film. For example, 1.4nm [of conversion thickness] and leakage current 5x10⁻⁹ A/cm² is realized using Pr₂O₃. (H. J. Osten et al. and Technical Digest International Electron Devices Meeting 2000) However, -0.5nm of amorphous layers is formed, and they are not made as for conversion thickness to the interface of Si and Pr₂O₃ small enough. Moreover, this amorphous layer may be degrading the interface property. Although PrO₃ is crystallized, the [001] directions of the crystal which carried out orientation to (110) are distributed in the two directions in which [011] or [01-1] intersected perpendicularly to Si. That is, two crystal domains exist in an oxide film, and we are anxious about possibility that a domain boundary will do bad influences, such as an increment in the leakage current accompanying energization. The gate dielectric film with the high dependability which maintains a high dielectric constant, without forming amorphous layers, such as silicon oxide, in an interface with Si substrate, and can hold low leakage current over a long period of time is not yet

realized.

[0006] Moreover, it is reported by the laser ablation method using an ultra-high-vacuum chamber that CeO₂ (111) grows epitaxially without an amorphous volume phase on Si (111) substrate (Jpn.J.Appl.Phys.34(1995) pp.L688-L690). However, only the case where membranes are formed at a room temperature on Si (111) substrate can grow epitaxially, and it has the trouble that growth conditions are limited by the narrow range. Moreover, in room temperature growth, possibility that many oxygen holes are incorporated is high, and the trouble that crystallinity is low also has it. By the crystalline low film, it cannot use as reliable gate dielectric film.

[0007]

[Problem(s) to be Solved by the Invention] As mentioned above, in order to advance detailed-ization, maintaining the engine performance and raising [aim at high integration of LSI,] it, the insulator layer gate dielectric film which is a high dielectric constant and can hold an interface property good is needed. However, the gate dielectric film which maintains a high dielectric constant and has high dependability is not realized, without forming amorphous layers, such as silicon oxide, in an interface with Si substrate.

[0008] It is made in order that this invention may solve an above-mentioned technical problem, and it aims at offering the field-effect transistor equipped with the gate dielectric film which is a high dielectric constant and can hold a leak property good.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in this invention, the field-effect transistor based on having formed the gate dielectric film which consists of oxide containing two or more kinds of metals chosen from rare earth elements is offered.

[0010] Moreover, the field-effect transistor which carries out the description of having formed gate dielectric film using the solid solution which consists of an oxide of rare earth elements stable as trivalent [at least one or more kinds of] and an oxide of rare earth elements stable as at least one or more kinds of tetravalence is offered. Furthermore, in the solid solution of the oxide of rare earth elements stable as trivalent, and the oxide of rare earth elements stable as tetravalence, when the ratio of a rare earth metal stable as trivalent makes it the range of 0.2 to 0.4, the engine performance is raised.

[0011] Moreover, one or more kinds of oxides of rare earth elements stable as trivalent are chosen from any of Dy₂O₃, Eu₂O₃ and La₂O₃, Pr₂O₃, Nd₂O₃, Sm₂O₃, Gd₂O₃, Tb₂O₃, Tm₂O₃, Yb₂O₃, Lu₂O₃, and Y₂O₃ they are. One or more kinds of oxides of rare earth elements stable as tetravalence are chosen from CeO₂, TbO₂, or PrO₂, the solid solution is formed, and the field-effect transistor used as gate dielectric film is offered.

[0012] Moreover, in the oxide containing two or more kinds of rare earth metals, the field-effect transistor characterized by using the gate dielectric film in which crystal-face bearing carried out priority orientation to the direction (111) is offered. Furthermore, the dielectric constant of gate dielectric film can be raised by carrying out the priority (111) amount of preferred orientation of crystal-face bearing 90% or more.

[0013]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing.

[0014] This invention persons found out that crystallinity improved compared with the oxide formed only with one kind of rare earth metal, when the oxide containing two or more kinds of metals chosen from rare earth elements was formed. It is because the migration of the configuration atom of an oxide can be raised also at the same membrane formation temperature according to the effectiveness that the melting point becomes low relatively by mixing. Especially by the solid solution which consists of an oxide of rare earth stable as trivalent, and an oxide of rare earth stable as tetravalence, it is remarkable, and crystalline improvement sticks in that case and explains.

[0015] These solid solutions were formed and evaluated, using CeO₂ as an oxide of rare earth stable as Dy₂O₃ and tetravalence as an oxide of rare earth stable as trivalent. The crystal structure of CeO₂ which is the oxide of rare earth stable as tetravalence takes fluorite structure (CaF₂ structure), as shown

in drawing 1 (a). Ce ion occupied the cubical corner and cubical **** of a unit lattice, and oxygen ion is contained in Ce tetrahedron. Each Ce ion was surrounded by eight oxygen ion, and four Ce ion has configurated it to oxygen ion, and it has structure without an oxygen deficiency. TbO₂ and PrO₂ take fluorite structure. The crystal structure of Dy₂O₃ which is the oxide of rare earth stable as trivalent is C-rare earth structure, as shown in drawing 1 (b). The unit lattice of this structure is obtained by combining eight fluorite structures where oxygen ion was missing. In Dy₂O₃, EuO₃ and La₂O₃, Pr₂O₃, Nd₂O₃, Sm₂O₃, Gd₂O₃, Tb₂O₃, Tm₂O₃, Yb₂O₃, Lu₂O₃, and Y₂O₃, two oxygen ion on the diagonal line has fallen out from the unit lattice of all the fluorite structures that constitute these. The unit lattice of eight octants which constitute C-rare earth structure has chosen the center of ** of the unit lattice in fluorite structure as the zero. In these octants, there is a Dy atom at the center of each **, and the core of a unit lattice, and it has six oxygen atoms and two oxygen holes. There are three types of octants and these are together put like drawing 1 (b). That is, to there being eight oxygen in the unit lattice of fluorite structure, by the octant of C-rare earth structure, only six oxygen is contained but it has structure in which two oxygen suffered a loss.

[0016] Dy₂ -- the solid solution (Ce_{1-x}Dy_xO_{alpha}) of O₃ and CeO₂ -- molecular beam epitaxy (MBE) -- membranes were formed on Si substrate using law, and the X-ray diffraction method estimated the crystal property. First, Si (100) substrate which terminated the front face from hydrogen is introduced into MBE equipment. Substrate temperature was made into 600 degrees C, Dy and Ce were used as a metal evaporation source, ozone (O₃) was used as a source of oxygen, and the solid solution of Dy₂O₃ and CeO₂ was formed on Si substrate. The reinforcement of the X diffraction of the direction over Ce and Dy presentation (x) (111) is shown in drawing 2. In the solid solution, it turned out that diffraction (111) reinforcement becomes strong more than twice compared with Dy₂O₃ (x= 1) and CeO₂ (x= 0). It was confirmed experimentally that crystallinity can be raised from this result compared with the oxide which contains only one kind of rare earth metal by forming the oxide containing two or more kinds of metals chosen from rare earth. As stated previously, by mixing two kinds of rare earth metals, the effectiveness that the melting point becomes low relatively appears, and it is thought at the same membrane formation temperature that it is because the migration of a configuration atom became good. Furthermore, in x= 0.2 to 0.4, diffraction reinforcement is strengthened notably (111) so that drawing 2 may show. An oxygen deficiency is introduced by adding Dy₂O₃ which is the oxide of rare earth stable as trivalent to CeO₂ which is the oxide of rare earth stable as tetravalence. In this presentation range, since the amount of oxygen deficiencies is moderate, as a result of being introduced and promoting notably the migration on the front face of growth of oxygen also especially in a configuration element, single crystal (111) nature improves sharply and is considered that orientation (111) becomes strong.

[0017] The interface of the solid solution (Ce_{1-x}Dy_xO_{alpha}) and Si which formed membranes by the above-mentioned approach was observed with the transmission electron microscope. The amorphous layer was not formed in the interface but it was checked that the solid solution is growing epitaxially to Si substrate. In the interface of high dielectric gate dielectric film and Si substrate, if surplus oxygen is in a high dielectric film, oxygen will diffuse the inside of the film, it will react with Si by the interface, and the silicon oxide (SiO_x: amorphous layer) of a low dielectric constant will be formed. As mentioned above (111), the surplus oxygen in the film was reduced by raising stronger crystallinity in orientation, and epitaxial growth became possible, without forming silicon oxide in an interface. as stated previously, it is reported that CeO₂ (111) grows epitaxially without an amorphous volume phase on Si (111) substrate -- **** (Jpn.J.Appl.Phys.34 (1995) pp.L688-L690) -- only the case where membranes are formed at a room temperature on Si (111) substrate can grow epitaxially, and it pointed out that there was a trouble that growth conditions are limited by the narrow range. Epitaxial growth is possible, without being restricted to field bearing of Si substrate, or room temperature growth, if the oxide film which consists of two or more kinds of rare earth metals by this invention is used.

[0018] Moreover, this invention persons found out that the specific inductive capacity of the oxide containing two or more kinds of metals chosen from rare earth depended to the orientation of the crystal of an oxide strongly. The priority (111) amount of preferred orientation of solid-solution Ce_{0.7}Eu_{0.3}O_{alpha} and the relation of specific inductive capacity which formed membranes by the

above-mentioned approach to drawing 3 are shown. (111) the priority amount of preferred orientation -- from X diffraction measurement -- asking -- the diffraction reinforcement from each field bearing -- calculate the rate that the integral value of diffraction (111) reinforcement occupies among the sums of the integral value to kick. It asked for specific inductive capacity from C-V measurement. (111) When the priority amount of preferred orientation is smaller than 50%, specific inductive capacity is also ten or less low value, but if the priority (111) amount of preferred orientation exceeds 50%, it will increase gently. And when the priority (111) amount of preferred orientation became 90% or more, it turned out that specific inductive capacity increases rapidly and the big value 30 is acquired. The specific inductive capacity in the case of carrying out orientation in other field bearings and the direction (110) was ten or less low value (100). (111) When a direction was made to carry out priority orientation, namely, when the priority (111) amount of preferred orientation exceeded 50%, it became clear to a case that specific inductive capacity can be raised in other directions compared with the case where orientation is carried out. (100) Although it becomes polycrystal when orientation is being carried out to the direction (110), by carrying out orientation (111), single crystal nature is raised and it is thought that a dielectric constant increases. (111) If the priority amount of preferred orientation exceeds 90%, the effectiveness will become remarkable further.

[0019] Correlation was looked at by the priority (111) amount of preferred orientation of the solid solution ($Ce_{1-x}Dy_xO\alpha$) and Dy presentation (x) which were shown in drawing 3 . In Dy_2O_3 (x= 1) and CeO_2 (x= 0), the priority (111) amount of preferred orientation was about 20%, and specific inductive capacity was ten or less. By making the solid solution, the priority (111) amount of preferred orientation becomes 50% or more, and 20 or more are the specific inductive capacity. In x= 0.2 to 0.4, especially the priority amount of preferred orientation became 100% (111), and the high specific inductive capacity 30 was able to be obtained. That is, in this presentation range, while epitaxial growth became possible, without forming a volume phase, the high dielectric constant could be realized, and it became clear to have the property desirable as gate dielectric film.

[0020] Drawing 4 is drawing having shown the cross-section configuration of the n channel MOS mold field-effect transistor concerning the fundamental operation gestalt of this invention. As for a p-type silicon substrate and 32, 31 is [a component isolation region and 33] gate dielectric film. The structure and the manufacture approach of gate dielectric film are mentioned later. The gate electrode with which 34 consists of polish recon, and 35 are the diffusion layers (source drain field) into which n mold impurity was introduced. The insulator layers (for example, CVD silicon nitride etc.) by which 36 was formed in the side attachment wall of the gate electrode 34, and 37 are interlayer insulation films (for example, CVD silicon oxide etc.), and the aluminum wiring 38 is connected to the gate electrode 34 and the source drain field 35 through the contact hole prepared in this interlayer insulation film 37.

[0021] The MOS mold field-effect transistor which has structure as shown in drawing 4 is manufactured as follows. First, field bearing (100) and specific resistance 4-6 (on the p-type silicon substrate 31 of cm, the slot for isolation is formed by reactive ion etching.) Then, the component isolation region 32 is formed by embedding the LP-TEOS film, for example. The case where gate dielectric film is formed using the MBE method as an example is explained. First, Si front face performs wet processing by rare fluoric acid, and terminates a front face from hydrogen (termination-izing). Next, this substrate is introduced into MBE equipment. After making substrate temperature into 600 degrees C and carrying out 1 mono-layer vacuum evaporation of the Ce on Si substrate, using Metals Ce and Dy as an evaporation source, Dr and ozone (O_3) were supplied and the solid solution ($Ce_{1-x}Dy_xO\alpha$) was formed. Dy presentation was set to x= 0.3. About Ce, previously, there is that of 1 mono-layer attachment **, in order that Dy may tend to form silicide compared with Ce. The solid solution can be grown epitaxially without carrying out silicide formation by this technique at an interface. 5nm laminating of the high dielectric gate dielectric film 33 which consists of the solid solution was carried out.

[0022] It became possible to grow epitaxially the gate dielectric film which carried out priority orientation to the direction (111) 100%, without forming amorphous layers, such as silicon oxide, in an interface with Si substrate by using the above manufacture approaches. The silicon oxide conversion

effective thickness of the gate dielectric film produced with this operation gestalt was able to attain 0.67nm. When the oxide only containing Dy2O3 and one kind of rare earth called CeO2 was used for gate dielectric film, while 1nm of silicon oxide was formed in the interface on the other hand, it was impossible to have realized conversion thickness 2nm or less which silicon oxide conversion effective thickness is set to 2.5nm or more, and is required of the next generation LSI.

[0023] In order to produce an MOS mold field-effect transistor as shown in drawing 4, after a gate-dielectric-film making process, by the chemical-vapor-deposition method, the polish recon film is deposited on the whole surface, patterning of this polish recon film is carried out, and the gate electrode 34 is formed. Then, for example in 450 degrees C, the pressure of 0.1Pa - 1 atmospheric pressure, the 5-200nm CVD silicon nitride 36 is deposited, using the mixed gas of SiH4 gas diluted with nitrogen gas, and NH3 gas. Future processes are the same as that of the production process of the usual MOS mold field-effect transistor. That is, the ion implantation of arsenic is performed, for example by acceleration voltage 20keV and dose 1x1015 cm-2, and a source field and the drain field 35 are formed. Then, by the chemical-vapor-deposition method, the CVD silicon oxide used as an interlayer insulation film 37 is deposited on the whole surface, and opening of the contact hole is carried out to this interlayer insulation film. Then, aluminum film is deposited on the whole surface by the spatter, and the MOS mold field-effect transistor which has gate dielectric film as shown in drawing 4 is completed by carrying out patterning of this aluminum film by reactive ion etching. Thus, it turned out that the good property is acquired from the produced MOS mold field-effect transistor having little interface state density, and the mobility of an inversion layer being high. The leakage current in gate voltage 1V was 2x10-3Acm-2 and a low value. Moreover, having the high dependability which gate dielectric film is a high dielectric constant, and can hold a leak property good was confirmed from life test.

[0024] The example which changed the manufacture approach of the gate dielectric film of an MOS mold field-effect transistor of having structure as shown in drawing 4 is explained as 2nd operation gestalt. First, like the 1st operation gestalt, the slot for isolation is formed on a silicon substrate, and a component isolation region is formed. Si (111) substrate which terminated the front face from hydrogen is introduced into MBE equipment. After making substrate temperature into 600 degrees C, carrying out 1 mono-layer vacuum evaporation of Ce and the Pr on Si substrate, using Metals Ce and Pr as an evaporation source and terminating Si front face, oxygen gas is supplied and 8nm laminating of the solid solution (Ce1-xPrxO alpha:x = 0.5) of CeO2 and Pr2O3 is carried out. Without forming silicon oxide in an interface with Si substrate by using the above approaches, it grew epitaxially and the thing of the gate dielectric film which has a high dielectric constant was able to be carried out. At this time, the priority (111) amount of preferred orientation of a proper object was 95%. The silicon oxide conversion effective thickness of the gate dielectric film produced with this operation gestalt was able to attain 0.8nm. The specific inductive capacity of the solid solution is 40, and it was checked that a value higher than the dielectric constant 30 (H. J.Osten et al. and Technical Digest International Electron Devices Meeting 2000) of Pr2O3 which carried out orientation to (110) is acquired. It was confirmed that the good property is acquired from the MOS mold field-effect transistor using this gate dielectric film having little interface state density, and the mobility of an inversion layer being high. The leakage current in gate voltage 1V was 5x10-6Acm-2 and a low value. Moreover, having the high dependability which gate dielectric film is a high dielectric constant, and can hold a leak property good was confirmed from life test.

[0025] In addition, although the operation gestalt mentioned above explained the oxide which consists of Ce and two kinds of rare earth of Dy, Ce, and Pr, the oxide which contains two or more kinds of metals in 17 kinds of La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Y, and Sc which are rare earth can be used as gate dielectric film.

[0026] Moreover, as an example of the solid solution which consists of an oxide of rare earth stable as trivalent [at least one or more kinds of], and an oxide of rare earth stable as at least one or more kinds of tetravalence, although Ce1-xDyxOalpha and Ce1-xPrxOalpha were explained One or more kinds of oxides of rare earth stable as trivalent are chosen from any of Dy2O3, EuO3 and La2O3, Pr2O3, Nd2O3, Sm2O3, Gd2O3, Tb2O3, Tm2O3, Yb2O3, and Lu2O3 they are. One or more kinds of oxides of

rare earth stable as tetravalence can be chosen from CeO₂, TbO₂, or PrO₂, and the solid solution can be formed.

[0027] Moreover, although it was shown that a dielectric constant becomes high in the gate dielectric film in which crystal-face bearing carried out priority orientation to the direction (111) by making Ce_{1-x}EuxOalpha, Ce_{1-x}DyxOalpha, and Ce_{1-x}PrxOalpha into an example as an oxide containing two or more kinds of rare earth metals The oxide which contains two or more kinds of metals 17 kinds of La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Y, and Sc which are otherwise rare earth of inside can be used. Also in this case, the dielectric constant of gate dielectric film can be further raised by carrying out the priority (111) amount of preferred orientation of crystal-face bearing 90% or more.

[0028]

[Effect of the Invention] According to this invention explained above, the field-effect transistor equipped with the gate dielectric film which is a high dielectric constant and can hold a leak property good can be offered.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289843
 (43)Date of publication of application : 04.10.2002

(51)Int.CI. H01L 29/78
 // H01L 21/316

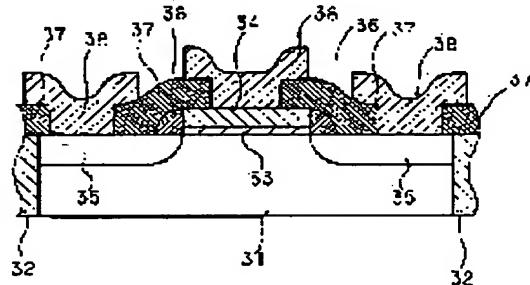
(21)Application number : 2001-091169 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 27.03.2001 (72)Inventor : NISHIKAWA YUKIE
 FUKUSHIMA SHIN
 NAKAYAMA KOHEI
 IKEGAWA SUMIO

(54) FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field effect transistor, provided with the gate insulation film of a high dielectric constant, keeping proper leakage characteristics.

SOLUTION: As the gate insulation film 33 of the field effect transistor, an oxide containing two or more kinds of metals selected from among rare earth elements is used. Also, the gate insulation film for which a crystal plane direction is oriented preferentially in the (111) direction in the oxide is used. Further, by turning the (111) preferred degree of orientation of the crystal plane orientation to 90% or higher, the dielectric constant of the gate insulation film is raised further.



LEGAL STATUS

[Date of request for examination] 25.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289843

(P2002-289843A)

(43)公開日 平成14年10月4日 (2002.10.4)

(51)Int.Cl.⁷

H 01 L 29/78

// H 01 L 21/316

識別記号

F I

テ-マ-ト⁸ (参考)

H 01 L 21/316

B 5 F 0 5 8

29/78

3 0 1 C 5 F 1 4 0

3 0 1 Q

審査請求 未請求 請求項の数6 O L (全7頁)

(21)出願番号

特願2001-91169(P2001-91169)

(22)出願日

平成13年3月27日 (2001.3.27)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 西川 幸江

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 福島 伸

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

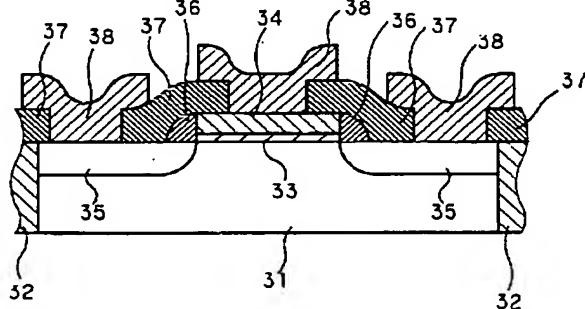
最終頁に続く

(54)【発明の名称】 電界効果トランジスタ

(57)【要約】

【課題】 従来、L S I の高集積化を目指し、性能を維持、向上させながら微細化を進めるには、ゲート絶縁膜として高誘電率で、かつリーク特性を良好に保持できるものが要求されている。

【解決手段】 電界効果トランジスタのゲート絶縁膜33として、希土類元素から選ばれた2種類以上の金属を含む酸化物を用いることを特徴とし、また、前記酸化物において、結晶面方位が(111)方向に優先配向したゲート絶縁膜を用いる点ももう一つの特徴とし、さらに、結晶面方位の(111)優先配向度を90%以上することにより、ゲート絶縁膜の誘電率をさらに高める点も特徴とする。



【特許請求の範囲】

【請求項1】 Si半導体基板にソース及びドレイン領域を設け、そのソース及びドレイン領域間にゲート絶縁膜を介してゲート電極を備えてなる電界効果トランジスタにおいて、前記Si基板上に希土類元素から選ばれた2種類以上の金属を含む酸化物からなるゲート絶縁膜を設けたことを特徴とする電界効果トランジスタ。

【請求項2】 前記希土類元素から選ばれた2種類以上の金属を含む酸化物が、少なくとも1種類以上の3価として安定な希土類元素の酸化物と、少なくとも1種類以上の4価として安定な希土類元素の酸化物からなる固溶体であることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】 前記3価として安定な希土類元素の酸化物と4価として安定な希土類元素の酸化物からなる固溶体において、3価として安定な希土類元素の比率が0.2から0.4の範囲にあることを特徴とした請求項2記載の電界効果トランジスタ。

【請求項4】 前記3価として安定な希土類元素の酸化物がDy2O3、EuO3、La2O3、Pr2O3、Nd2O3、Sm2O3、Gd2O3、Tb2O3、Tm2O3、Yb2O3、Lu2O3、Y2O3の何れかより1種類以上選択され、前記4価として安定な希土類元素の酸化物がCeO2、TbO2、PrO2の何れかから1種類以上選択されて、前記固溶体が形成されたことを特徴とする請求項2乃至請求項3記載の電界効果トランジスタ。

【請求項5】 前記希土類元素から選ばれた2種類以上の金属を含む酸化物において、結晶面方位が(111)一方向に優先配向していることを特徴とした請求項1記載の電界効果トランジスタ。

【請求項6】 前記希土類元素から選ばれた2種類以上の金属を含む酸化物において、結晶面方位の(111)優先配向度が90%以上であること特徴とした請求項5記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子に係わり、特にMOS、MIS構造の電界効果トランジスタに関する。

【0002】

【従来の技術】 LSIの高速化高集積化はスケーリング則によるMOS型電界効果トランジスタ(FET:Field-Effective-Transistor)の微細化によって進められてきた。これは絶縁膜、ゲート長等のMOS型電界効果トランジスタの各部分を高さ方向と横方向の寸法を同時に縮小することで微細化時に素子の特性を正常に保ち、また性能を上げることを可能にしてきた。

【0003】スケーリング則によると、MOS型電界効果トランジスタは微細化の一途をたどっており、西暦20

00年以降の次世代MOS型電界効果トランジスタにはSiO2ゲート絶縁膜は2nm以下の膜厚が要求されている。しかし、この膜厚領域は直接トンネル電流が流れ始める厚さであり、リーク電流の抑制ができず、消費電力の増加等の問題を回避できない。よって、SiO2よりも誘電率が高い材料を用いて、シリコン酸化膜換算実効膜厚を2nm以下に抑えつつ、物理膜厚を稼いでリーク電流を抑えることが必要である。また、MOS型電界効果トランジスタではリーク電流の抑制とともに、電界効果トランジスタであるために、Si界面特性が特に重要である。よって、高誘電率であり、かつ界面特性を良好に保持できるゲート絶縁膜が必要となる。

【0004】ゲート絶縁膜として使用されるTiO2やZrO2などの高誘電材料は、スパッタ法やCVD法を用いてSi基板上に成膜する。しかし、成膜時あるいはその後の熱処理によりSi基板との界面に形成される低誘電率のシリコン酸化膜(SiOx)やシリケートなどのアモルファス層が基板/ゲート間の容量を低下させ、換算膜厚が十分に小さいゲートを形成することが困難であるという大きな問題点がある。

【0005】近年、希土類酸化物をゲート絶縁膜として用い、高誘電率と低リーク電流が報告されている。例えば、Pr2O3を用いて、換算膜厚1.4nm、リーク電流 $5 \times 10^{-9} \text{ A/cm}^2$ が実現されている。(H.J.Osten et al., Technical Digest International Electron Devices Meeting 2000) しかしながら、SiとPr2O3との界面にはアモルファス層が~0.5nm形成されており、換算膜厚は十分に小さくは出来ていない。また、このアモルファス層は界面特性を劣化させている可能性もある。PrO3は結晶化しているが、(110)に配向した結晶の[001]方向は、Siに対して[011]又は[01-1]の直交した2つの方向に分布している。つまり、2つの結晶ドメインが酸化膜中に存在し、ドメイン境界が、通電に伴うリーク電流の増加などの悪影響を及ぼす可能性が懸念される。Si基板との界面にシリコン酸化膜などのアモルファス層を形成することなく高誘電率を保ち、かつ、低リーク電流を長期間にわたり保持できるような信頼性の高いゲート絶縁膜は未だ実現されていない。

【0006】また、超高真空チャンバを用いたレーザアブレーション法により、Si(111)基板上にアモルファスの界面層無しにCeO2(111)がエピタキシャル成長することが報告されている(Jpn.J.Appl.Phys. 34(1995)pp.L688-L690)。しかしながら、エピタキシャル成長できるのはSi(111)基板上に室温で成膜した場合のみであり、成長条件が狭い範囲に限定されるという問題点がある。また、室温成長では酸素空孔が多く取り込まれている可能性が高く、結晶性が低いという問題点もある。結晶性の低い膜では、信頼性の高いゲート絶縁膜として用いることは出来ない。

【0007】

【発明が解決しようとする課題】上記のように、LSIの高集積化を目指し、性能を維持、向上させながら微細化を進めるには、高誘電率であり、かつ界面特性を良好に保持できる絶縁膜ゲート絶縁膜が必要となる。しかし、Si基板との界面にシリコン酸化膜などのアモルファス層を形成することなく高誘電率を保ち、かつ、高い信頼性を持つゲート絶縁膜は実現されていない。

【0008】本発明は上述の課題を解決するためになされたものであり、高誘電率でかつリーク特性を良好に保持できるゲート絶縁膜を備えた電界効果トランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明では、希土類元素から選ばれた2種類以上の金属を含む酸化物からなるゲート絶縁膜を形成したこととする電界効果トランジスタを提供する。

【0010】また、少なくとも1種類以上の3価として安定な希土類元素の酸化物と、少なくとも1種類以上の4価として安定な希土類元素の酸化物からなる固溶体を用いてゲート絶縁膜を形成したことを特徴する電界効果トランジスタを提供する。さらに、3価として安定な希土類元素の酸化物と4価として安定な希土類元素の酸化物の固溶体において、3価として安定な希土類金属の比率が0.2から0.4の範囲にすることにより性能を向上させる。

【0011】また、3価として安定な希土類元素の酸化物をDy2O3、EuO3、La2O3、Pr2O3、Nd2O3、Sm2O3、Gd2O3、Tb2O3、Tm2O3、Yb2O3、Lu2O3、Y2O3の何れかより1種類以上選択し、4価として安定な希土類元素の酸化物をCeO2、TbO2、PrO2の何れかから1種類以上選択して固溶体を形成し、ゲート絶縁膜として用いた電界効果トランジスタを提供する。

【0012】また、2種類以上の希土類金属を含む酸化物において、結晶面方位が(111)方向に優先配向したゲート絶縁膜を用いることを特徴とした電界効果トランジスタを提供する。さらに、結晶面方位の(111)優先配向度を90%以上することにより、ゲート絶縁膜の誘電率を高めることができる。

【0013】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0014】本発明者らは、希土類元素から選ばれた2種類以上の金属を含む酸化物を形成すると、1種類の希土類金属のみで形成した酸化物に比べて結晶性が向上することを見出した。混合することにより相対的に融点が低くなる効果により、同じ成膜温度でも酸化物の構成原子のマイグレーションを向上させることが出来るからである。特に、3価として安定な希土類の酸化物と4価と

して安定な希土類の酸化物からなる固溶体では結晶性の向上が顕著であり、その場合について説明する。

【0015】3価として安定な希土類の酸化物としてDy2O3、4価として安定な希土類の酸化物としてCeO2を用いて、これらの固溶体を成膜して評価した。4価として安定な希土類の酸化物であるCeO2の結晶構造は、図1(a)に示すようにホタル石構造(CaF2構造)を取る。Ceイオンが立方体の単位格子の隅および面心を占め、酸素イオンはCe四面体の中に入っている。Ceイオンは何れも8個の酸素イオンに囲まれ酸素イオンには4個のCeイオンが配位しており、酸素欠損のない構造となっている。TbO2、PrO2もホタル石構造を取る。3価として安定な希土類の酸化物であるDy2O3の結晶構造は、図1(b)に示すようにC-希土構造である。この構造の単位格子は酸素イオンが欠けた8個のホタル石構造を組み合わせることによって得られる。Dy2O3、EuO3、La2O3、Pr2O3、Nd2O3、Sm2O3、Gd2O3、Tb2O3、Tm2O3、Yb2O3、Lu2O3、Y2O3では、これらを構成するすべてのホタル石構造の単位格子から対角線上にある2個の酸素イオンが抜けている。C-希土構造を構成する8個のオクタントの単位格子は、ホタル石構造における単位格子の稜の中央を原点に選んでいる。これらのオクタントではDy原子がそれぞれの稜の中央と単位格子の中心にあり、6個の酸素原子と2個の酸素空孔を持つ。オクタントには3つのタイプがあり、これらが図1(b)のように組み合わされている。つまり、ホタル石構造の単位格子には8個の酸素があるのにに対して、C-希土構造のオクタントでは6個の酸素しか含まれておらず、2個の酸素が欠損した構造となっている。

【0016】Dy2O3とCeO2の固溶体(Ce_{1-x}Dy_xO₂)は分子線エピタキシー(MBE)法を用いてSi基板上に成膜し、X線回折法により結晶特性を評価した。まず、表面を水素でターミネイトしたSi(100)基板をMBE装置に導入する。基板温度を600°Cとし、金属蒸発源としてDyとCeを、酸素源としてオゾン(O3)を用いてSi基板上にDy2O3とCeO2の固溶体を成膜した。図2に、CeとDy組成(x)に対する(111)方向のX線回折の強度を示す。固溶体では、Dy2O3(x=1)、CeO2(x=0)に比べて、(111)回折強度が2倍以上強まることがわかった。この結果から、希土類から選ばれた2種類以上の金属を含む酸化物を形成することにより、1種類の希土類金属のみしか含まない酸化物に比べて結晶性を向上させることが出来ることが実験的に確かめられた。先に述べたように、2種類の希土類金属を混合することにより相対的に融点が低くなる効果が表れ、同じ成膜温度では構成原子のマイグレーションが良くなつたためであると考えられる。さらに、図2からわかるよう

に、 $x = 0, 2$ から $0, 4$ の範囲では顕著に(111)回折強度が強められる。4価として安定な希土類の酸化物であるCeO₂に3価として安定な希土類の酸化物であるDy₂O₃を加えることにより、酸素欠損が導入される。この組成範囲では酸素欠損量が適度であるため、導入され構成元素のなかでも特に酸素の成長表面でのマイグレーションが顕著に促進された結果、(111)単結晶性が大幅に向上し(111)配向が強くなると考えられる。

【0017】上記の方法で成膜した固溶体(Ce_{1-x}Dy_xO_a)とSiとの界面を透過電子顕微鏡で観察した。界面にはアモルファス層は形成されておらず、固溶体はSi基板にエピタキシャル成長していることが確認された。高誘電体ゲート絶縁膜とSi基板との界面では、高誘電体膜中に余剰酸素があると膜中を酸素が拡散し界面でSiと反応して低誘電率のシリコン酸化膜(Si_{0x}:アモルファス層)が形成されてしまう。上記のように(111)配向を強め結晶性を高めることにより膜中の余剰酸素が低減され、界面にシリコン酸化膜を形成することなくエピタキシャル成長が可能となった。先に述べたように、Si(111)基板上にアモルファスの界面層無しにCeO₂(111)がエピタキシャル成長することが報告されている(Jpn. J. Appl. Phys. 34(1995)pp. L688-L690)が、エピタキシャル成長できるのはSi(111)基板上に室温で成膜した場合のみであり、成長条件が狭い範囲に限定されるという問題点があることを指摘した。本発明による2種類以上の希土類金属からなる酸化膜を用いるとSi基板の面方位や室温成長に制限されることなく、エピタキシャル成長が可能である。

【0018】また、本発明者らは希土類から選ばれた2種類以上の金属を含む酸化物の比誘電率が、酸化物の結晶の配向に強く依存することを見出した。図3に上記の方法で成膜した固溶体Ce_{0.7}Eu_{0.3}O_aの(111)優先配向度と比誘電率の関係を示す。(111)優先配向度はX線回折測定から求めたものであり、各々の面方位からの回折強度における積分値の和のうち、(111)回折強度の積分値が占める割合を計算したものである。比誘電率はC-V測定から求めた。(111)優先配向度が50%より小さい場合は比誘電率も10以下の低い値であるが、(111)優先配向度が50%を超えると緩やかに増加する。そして、(111)優先配向度が90%以上となると、比誘電率は急激に増大し、30という大きな値が得られることがわかった。他の面方位、例えば(100)や(110)方向に配向している場合の比誘電率は10以下の低い値であった。(111)方向に優先配向させた場合、即ち、(111)優先配向度が50%を超えるとき場合には、他の方向に配向した場合に比べ比誘電率を高めることができることが明らかとなった。(100)や(110)方向に配向している場合には多結晶となるが、(111)配向させるこ

とにより単結晶性が高められ、誘電率が増大すると考えられる。(111)優先配向度が90%を超えるとさらに、その効果は顕著になる。

【0019】図3に示した固溶体(Ce_{1-x}Dy_xO_a)の(111)優先配向度とDy組成(x)にも相関が見られた。Dy₂O₃(x=1)、CeO₂(x=0)の場合は、(111)優先配向度は20%程度であり、比誘電率は10以下であった。固溶体を作ることにより(111)優先配向度は50%以上になり比誘電率は20以上になる。特に、x=0, 2から0, 4の範囲では(111)優先配向度は100%となり、30という高い比誘電率を得られた。つまり、この組成範囲では界面層を形成することなくエピタキシャル成長が可能になるとともに高誘電率を実現でき、ゲート絶縁膜として望ましい特性を備えていることが明らかとなった。

【0020】図4は、本発明の基本的な実施形態に係わるnチャネルMOS型電界効果トランジスタの断面構成を示した図である。31はp型シリコン基板、32は素子分離領域、33はゲート絶縁膜である。ゲート絶縁膜の構造及び製造方法は後述する。34はポリシリコンからなるゲート電極、35はn型不純物が導入された拡散層(ソース・ドレイン領域)である。36は、ゲート電極34の側壁に形成された絶縁膜(例えばCVDシリコン塗化膜など)、37は層間絶縁膜(例えばCVDシリコン酸化膜など)であり、この層間絶縁膜37に設けられたコンタクト孔を介して、ゲート電極34およびソース・ドレイン領域35にAl配線38が接続されている。

【0021】図4に示したような構造を有するMOS型電界効果トランジスタは次のようにして製造する。まず、面方位(100)、比抵抗4~6(c Ω)のp型シリコン基板31上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLP-TEOS膜を埋め込むことにより素子分離領域32を形成する。一例として、MBE法を用いてゲート絶縁膜を形成する場合について説明する。Si表面はまず、希フッ酸でウエット処理を行い、表面を水素でターミネイト(終端化)する。次に、この基板をMBE装置に導入する。基板温度を600°Cとし、金属CeとDyを蒸発源として用いてSi基板上にCeを1モノレイヤ蒸着した後、Drとオゾン(O₃)を供給して固溶体(Ce_{1-x}Dy_xO_a)を成膜した。Dy組成はx=0, 3とした。Ceを先に1モノレイヤ付けるのは、DyがCeに比べてシリサイドを形成しやすいためある。この手法により界面にシリサイド形成することなく、固溶体をエピタキシャル成長できる。固溶体からなる高誘電体ゲート絶縁膜33は5nm積層した。

【0022】上述のような製造方法を用いることにより、Si基板との界面にシリコン酸化膜などのアモルファス層が形成されること無く、(111)方向に100%優先配向したゲート絶縁膜をエピタキシャル成長する

ことが可能となった。本実施形態で作製したゲート絶縁膜のシリコン酸化膜換算実効膜厚は0.67nmを達成することができた。一方、Dy2O3、CeO2という1種類の希土類しか含まない酸化物をゲート絶縁膜に用いた場合は、界面にシリコン酸化膜が1nm形成されるとともに、シリコン酸化膜換算実効膜厚は2.5nm以上となり、次世代LSIに要求される2nm以下の換算膜厚を実現することは不可能であった。

【0023】図4に示したようなMOS型電界効果トランジスタを作製するためには、ゲート絶縁膜作製工程後に、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極34を形成する。続いて、例えば450°C、圧力0.1Pa～1気圧において、窒素ガスで希釈したSiH4ガスとNH3ガスの混合ガスを用いて、例えば5～200nmのCVDシリコン窒化膜36を堆積する。以後の工程は、通常のMOS型電界効果トランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース領域及びドレイン領域35を形成する。続いて、化学気相成長法によって全面に層間絶縁膜37となるCVDシリコン酸化膜を堆積し、この層間絶縁膜にコンタクト孔を開口する。続いて、スパッタ法によって全面にAl膜を堆積し、このAl膜を反応性イオンエッチャリングによってパターニングすることにより、図4に示したようなゲート絶縁膜を有するMOS型電界効果トランジスタが完成する。このようにして作製したMOS型電界効果トランジスタは界面準位が少なく、かつ、反転層のモビリティが高いことから良好な特性が得られていることがわかった。ゲート電圧1Vにおけるリーク電流は $2 \times 10^{-3} \text{ A cm}^{-2}$ と低い値であった。また、寿命試験から、ゲート絶縁膜は高誘電率でかつリーク特性を良好に保持できる高い信頼性を有することが確かめられた。

【0024】図4に示したような構造を有するMOS型電界効果トランジスタのゲート絶縁膜の製造方法を変更した例について第2の実施形態として説明する。まず、第1の実施形態と同様に、シリコン基板上に素子分離のための溝を形成し、素子分離領域を形成する。表面を水素でターミネイトしたSi(111)基板をMBE装置に導入する。基板温度を600°Cとし、金属CeとPrを蒸発源として用いてSi基板上にCeとPrを1モルレイヤ蒸着してSi表面をターミネイトした後、酸素ガスを供給して、CeO2とPr2O3の固溶体($\text{Ce}_{1-x}\text{Pr}_x\text{O}_\alpha$: $x=0.5$)を8nm積層する。上述のような方法を用いることにより、Si基板との界面にシリコン酸化膜が形成されること無く、高誘電率を有するゲート絶縁膜をエピタキシャル成長することできた。このとき、固溶体の(111)優先配向度は95%であった。本実施形態で作製したゲート絶縁膜のシリコン酸化膜換算実効膜厚は0.8nmを達成することができた。

きた。固溶体の比誘電率は4.0であり、(110)に配向したPr2O3の誘電率3.0(H.J.Osten et al., Technical Digest International Electron Devices Meeting 2000)よりも高い値が得られることが確認された。このゲート絶縁膜を用いたMOS型電界効果トランジスタは界面準位が少なく、かつ、反転層のモビリティが高いことから、良好な特性が得られていることが確かめられた。ゲート電圧1Vにおけるリーク電流は $5 \times 10^{-6} \text{ A cm}^{-2}$ と低い値であった。また、寿命試験から、ゲート絶縁膜は高誘電率でかつリーク特性を良好に保持できる高い信頼性を有することが確かめられた。

【0025】なお、上述した実施形態では、CeとDy、CeとPrの2種類の希土類からなる酸化物について説明したが、希土類であるLa、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Y、Scの17種類のうち2種類以上の金属を含む酸化物をゲート絶縁膜として用いることができる。

【0026】また、少なくとも1種類以上の3価として安定な希土類の酸化物と、少なくとも1種類以上の4価として安定な希土類の酸化物からなる固溶体の例として、 $\text{Ce}_{1-x}\text{Dy}_x\text{O}_\alpha$ と $\text{Ce}_{1-x}\text{Pr}_x\text{O}_\alpha$ を説明したが、3価として安定な希土類の酸化物をDy2O3、Eu2O3、La2O3、Pr2O3、Nd2O3、Sm2O3、Gd2O3、Tb2O3、Tm2O3、Yb2O3、Lu2O3の何れかより1種類以上選択し、4価として安定な希土類の酸化物をCeO2、TbO2、PrO2の何れかから1種類以上選択して固溶体を形成することができる。

【0027】また、2種類以上の希土類金属を含む酸化物として $\text{Ce}_{1-x}\text{Eu}_x\text{O}_\alpha$ 、 $\text{Ce}_{1-x}\text{Dy}_x\text{O}_\alpha$ 、 $\text{Ce}_{1-x}\text{Pr}_x\text{O}_\alpha$ を例として、結晶面方位が(111)方向に優先配向したゲート絶縁膜において誘電率が高くなることを示したが、他にも希土類であるLa、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Y、Scの17種類のうち2種類以上の金属を含む酸化物を用いることができる。この場合にも、結晶面方位の(111)優先配向度を90%以上することにより、ゲート絶縁膜の誘電率をさらに高めることができる。

【0028】

【発明の効果】以上説明した本発明によれば、高誘電率でかつリーク特性を良好に保持できるゲート絶縁膜を備えた電界効果トランジスタを提供することができる。

【図面の簡単な説明】

【図1】CeO2及びDy2O3の結晶構造を説明するための図。

【図2】固溶体($\text{Ce}_{1-x}\text{Dy}_x\text{O}_\alpha$)におけるDy組成(x)と(111)回折強度の関係を示す相関図。

【図3】固溶体($\text{Ce}_{0.7}\text{Eu}_{0.3}\text{O}_\alpha$)における

(111) 優先配向度と比誘電率の関係を示す相関図。

【図4】本発明の実施例のMOS型電界効果トランジスタを説明するための図。

【符号の説明】

31 … シリコン基板

32 … 素子分離領域

33 … ゲート絶縁膜

34 … ゲート電極

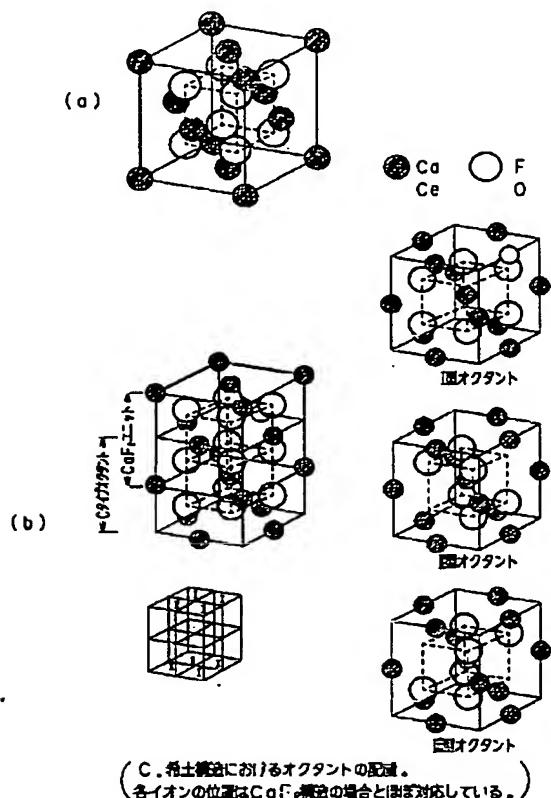
35 … 拡散層 (ソース・ドレイン領域)

36 … CVDシリコン窒化膜

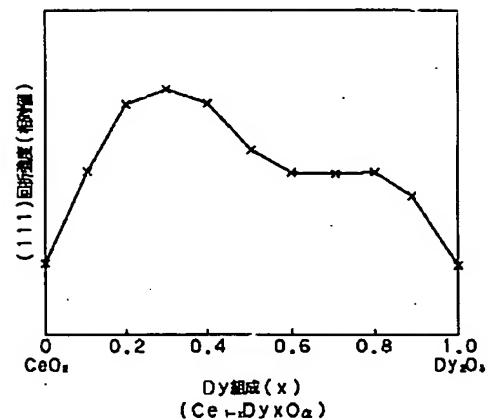
37 … 層間絶縁膜

38 … Al配線

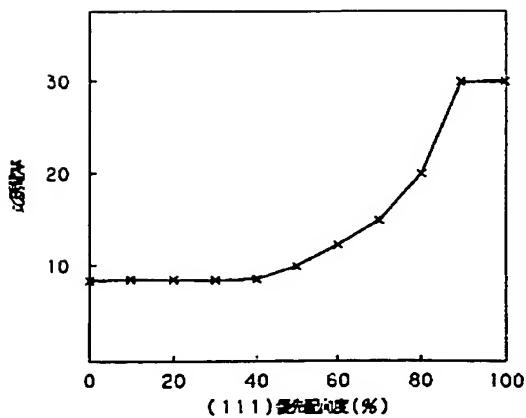
【図1】



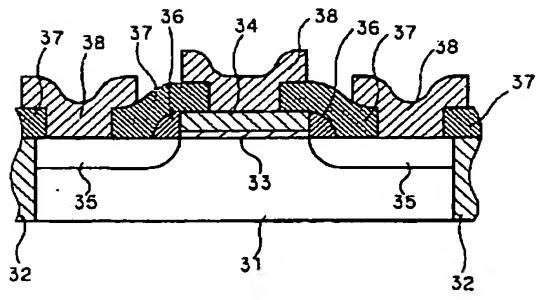
【図2】



【図3】



【図4】



フロントページの続き

| | | |
|---------|--|---|
| (72)発明者 | 中山 浩平 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内 | F ターム(参考) 5F058 BC03 BC20 BF20 BF29 5F140 AA00 AA19 AA24 AA39 BA01 BA20 BD13 BE01 BE09 BF01 BF04 BG08 BG14 BG28 BG52 BK13 CA03 CB04 CC03 CC12 |
| (72)発明者 | 池川 純夫 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内 | |